
(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 100297707 B1
(43)Date of publication of application: 24.05.2001

(21)Application number: 1019970052356
(22)Date of filing: 13.10.1997

(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.
(72)Inventor: HWANG, SANG JUN
KANG, GYEONG U

(51)Int. Cl. G11C 7/00

(54) INPUT BUFFER FOR SEMICONDUCTOR MEMORY DEVICE

(57) Abstract:

PURPOSE: An input buffer for a semiconductor memory device is provided to be safely operated at LVTTTL interface condition and SSTL interface condition.

CONSTITUTION: A differential amplifier(21) amplifies a difference between a reference voltage(VREF) and an external input signal(INPUT). In SSTL interface condition in which the reference voltage(VREF) and the input signal(INPUT) are dependently varied according to an external power voltage(EVC), a switching part(23) transmits the external power voltage to the differential amplifier(21). In LVTTTL interface condition in which the reference voltage(VREF) and the input signal(INPUT) maintains a predetermined level even if the external power voltage(EVC) is varied, the switching part(23) transmits an inner power voltage to the differential amplifier(21).

© KIPO 2002

Legal Status

Date of request for an examination (19971013)

Final disposal of an application (registration)

Date of final disposal of an application (20010419)

Patent registration number (1002977070000)

Date of registration (20010524)

AM

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
G11C 7/00

(11) 공개번호 특 1999-0031575
(43) 공개일자 1999년 05월 06일

(21) 출원번호 10-1997-0052356
(22) 출원일자 1997년 10월 13일
(71) 출원인 삼성전자 주식회사 윤종용
경기도 수원시 팔달구 매탄3동 416
(72) 발명자 강경우
경기도 화성군 태안읍 진안리 화남아파트 102동 1007호
황상준
서울특별시 관악구 봉천6동 66-23
(74) 대리인 권석훈, 노민식, 이영필

심사결과 : 있음

(54) 반도체 메모리장치의 입력버퍼

요약

LVTTL 인터페이스 조건 및 SSTL 인터페이스 조건에서 모두 안정적으로 정상동작될 수 있는 반도체 메모리 장치의 입력버퍼가 개시된다. 상기 입력버퍼는, 기준전압과 외부에서 인가되는 입력신호의 차이를 증폭시키는 차동증폭부, 및 상기 기준전압 및 상기 입력신호가 외부 전원공급전압에 따라 증폭적으로 변화하는 SSTL 인터페이스 조건에서는 상기 외부 전원공급전압을 선택하여 상기 차동증폭부에 전달하고, 상기 기준 전압 및 상기 입력신호가 상기 외부 전원공급전압이 변화더라도 일정한 레벨을 유지하는 LVTTL 인터페이스 조건에서는 내부 전원공급전압을 선택하여 상기 차동증폭부에 전달하는 스위칭부를 구비하는 것을 특징으로 한다.

도표

도 2

발명서

도면의 간단한 설명

도 1은 싱크로너스 디램에서 클락버퍼로 사용되는 종래의 입력버퍼의 회로도

도 2는 본 발명의 실시예에 따른 반도체 메모리장치의 입력버퍼의 회로도

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리장치에 관한 것으로, 특히 반도체 메모리장치의 입력버퍼에 관한 것이다.

반도체 메모리장치중 싱크로너스 디램에서는 데이터의 입출력이 외부에서 인가되는 시스템클락, 즉 외부 클락에 동기되어 제어된다. 좀더 상세히 설명하면, 상기 싱크로너스 디램에서는 입력버퍼인 클락버퍼가 상기 외부클락을 입력으로 하여 내부클락을 발생하고 상기 내부클락에 의해 출력버퍼를 통해 데이터가 출력되는 데 걸리는 시간(tSAC)과 출력된 데이터를 페치(fetch)하기 위해 이전 데이터를 유지해야 하는 시간(tOH)가 매우 중요한 파라미터이다. 그런데 싱크로너스 디램의 속도 측면에서 tSAC이 빨라지도록 tSAC 패스(Path)를 설계할 경우 반대로 tOH 마진이 감소될 수 있다. 따라서 tSAC이 빠르면서도 또한 tOH 마진을 확보하기 위해서는 전원공급전압(VCC)의 변화에 따른 데이터 출력속도의 변화를 줄여야하며, 이를 위해 통상 상기 클락버퍼에는 내부 전원공급전압(IVC)이 사용된다.

도 1은 싱크로너스 디램에서 클락버퍼로 사용되는 종래의 입력버퍼의 회로도이다.

도 1을 참조하면, 상기 종래의 입력버퍼는, 기준전압(VREF)과 외부에서 인가되는 입력신호(INPUT)의 차이를 증폭시키는 차동증폭부(11)와, 제어신호(PBUCF)가 액티브될 때 상기 차동증폭부(11)에 내부 전원공급 전압(IVC)을 전달하는 스위칭부(13)를 구비한다.

상기 차동증폭부(11)는 통상의 차동증폭기로 구성되어 있으며, 상기 스위칭부는 소오스에 상기 내부 전원

공급전압(IVC)이 인가되고 게이트에 상기 제어신호(PBUCF)가 인가되며 드레인에 상기 차동증폭부(11)이 접속되는 피모스 트랜지스터(P11)로 구성되어 있다. 상기 내부 전원공급전압(IVC)은, 싱크로너스 디램 내부의 내부 전원공급전압 발생기에서 외부로부터 인가되는 외부 전원공급전압(EVC)을 입력으로 하여 발생하는 전압이며, 상기 외부 전원공급전압(EVC)에 무관하게 일정한 레벨을 나타낸다.

그러나 싱크로너스 디램의 LVTTTL(Low Voltage Transistor Transistor Logic) 인터페이스 조건에서는, 상기 입력버퍼로 입력되는 상기 입력신호(INPUT) 및 기준전압(VREF)가 상기 외부 전원공급전압(EVC)이 변화더라도 일정한 레벨을 유지하므로 상기 입력버퍼는 정상적으로 동작된다. 즉 상기 내부 전원공급전압(IVC)은 일정한 레벨을 유지하며 또한 상기 차동증폭부(11)의 각 앤모스 트랜지스터(N11, N12)의 게이트로 입력되는 상기 기준전압(VREF) 및 입력신호(INPUT)도 일정한 레벨을 유지하므로, 상기 차동증폭부(11)의 피모스 트랜지스터 쌍(P12, P13) 및 앤모스 트랜지스터 쌍(N11, N12)은 정상적으로 동작된다.

그러나 싱크로너스 디램의 SSTL(Stub Series terminated Transceiver Logic) 인터페이스 조건에서는, 상기 입력버퍼로 입력되는 상기 입력신호(INPUT) 및 기준전압(VREF)가 상기 외부 전원공급전압(EVC)에 따라 증속적으로 변화하게 되므로 상기 입력버퍼가 정상적으로 동작되지 못하는 경우가 있다. 즉 상기 내부 전원공급전압(IVC)은 일정한 레벨을 유지하며 반면에 상기 입력신호(INPUT) 및 기준전압(VREF)는 상기 외부 전원공급전압(EVC)에 따라 증속적으로 변화하게 되므로, 상기 차동증폭부(11)의 피모스 트랜지스터 쌍(P12, P13) 및 앤모스 트랜지스터 쌍(N11, N12)은 정상적으로 동작되지 못하는 경우가 있다. 예컨대, 상기 내부 전원공급전압(IVC)은 일정한 레벨을 유지하며 반면에 상기 외부 전원공급전압(EVC)이 증가함에 따라 상기 입력신호(INPUT) 및 기준전압(VREF)가 증가할 경우, 상기 각 피모스 트랜지스터(P12, P13)의 게이트와 소오스 사이의 전압이 상기 각 앤모스 트랜지스터(N11, N12)의 게이트와 소오스 사이의 전압에 비해 낮아지게 된다. 이에 따라 상기 차동증폭부(11)의 출력신호(BIN)이 항상 논리 '로우' 상태가 됨으로써 상기 입력버퍼는 오동작을 발생시킨다.

발명이 이루고자 하는 기술적 과제

따라서 본 발명의 목적은, LVTTTL 인터페이스 조건 및 SSTL 인터페이스 조건에서 모두 안정적으로 정상 동작할 수 있는 반도체 메모리장치의 입력버퍼를 제공하는 데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명에 따른 반도체 메모리장치의 입력버퍼는, 기준전압과 외부에서 인가되는 입력신호의 차이를 증폭시키는 차동증폭부, 및 상기 기준전압 및 상기 입력신호가 외부 전원공급전압에 따라 증속적으로 변화하는 SSTL 인터페이스 조건에서는 상기 외부 전원공급전압을 선택하여 상기 차동증폭부에 전달하고, 상기 기준전압 및 상기 입력신호가 상기 외부 전원공급전압이 변화더라도 일정한 레벨을 유지하는 LVTTTL 인터페이스 조건에서는 내부 전원공급전압을 선택하여 상기 차동증폭부에 전달하는 스위칭부를 구비하는 것을 특징으로 한다.

상기 스위칭부는, 제1제어신호가 액티브될 때 상기 차동증폭부에 상기 외부 전원공급전압을 전달하는 제1스위칭부와, 제2제어신호가 액티브될 때 상기 차동증폭부에 상기 내부 전원공급전압을 전달하는 제2스위칭부를 구비한다. 상기 제1제어신호는 상기 SSTL 인터페이스 조건에서 액티브되며, 상기 제2제어신호는 상기 LVTTTL 인터페이스 조건에서 액티브된다. 상기 외부 전원공급전압은 상기 반도체 메모리장치 외부에서 인가되는 전압이고, 상기 내부 전원공급전압은 상기 반도체 메모리장치 내부의 내부 전원공급전압 발생기에서 상기 외부 전원공급전압을 입력으로 하여 발생하는 전압이다.

이하 첨부도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하고자 한다.

도 2는 본 발명의 실시예에 따른 반도체 메모리장치의 입력버퍼의 회로도이다.

도 2를 참조하면, 상기 본 발명의 실시예에 따른 입력버퍼는, 차동증폭부(21) 및 스위칭부(23)를 구비한다.

상기 차동증폭부(21)는 기준전압(VREF)과 외부에서 인가되는 입력신호(INPUT)의 차이를 증폭시킨다. 상기 스위칭부(23)는, 상기 기준전압(VREF) 및 상기 입력신호(INPUT)가 외부 전원공급전압(EVC)에 따라 증속적으로 변화하는 SSTL 인터페이스 조건에서는 상기 외부 전원공급전압(EVC)을 선택하여 상기 차동증폭부(21)에 전달한다. 또한 상기 스위칭부(23)는, 상기 기준전압(VREF) 및 상기 입력신호(INPUT)가 상기 외부 전원공급전압(EVC)이 변화더라도 일정한 레벨을 유지하는 LVTTTL 인터페이스 조건에서는 내부 전원공급전압(IVC)을 선택하여 상기 차동증폭부(21)에 전달한다.

상기 외부 전원공급전압(EVC)은 상기 반도체 메모리장치 외부에서 인가되는 전압이고, 상기 내부 전원공급전압(IVC)은 상기 반도체 메모리장치 내부의 내부 전원공급전압 발생기(도시되지 않았음)에서 상기 외부 전원공급전압(EVC)을 입력으로 하여 발생하는 전압이며 상기 외부 전원공급전압(EVC)에 무관하게 일정한 레벨을 나타낸다.

상기 차동증폭부(21)는 통상의 차동증폭기로 구성된다. 또한 상기 스위칭부(23)는, 제1제어신호(SSTL-CON)이 액티브될 때 상기 차동증폭부(21)에 상기 외부 전원공급전압(EVC)을 전달하는 제1스위칭부(P21)과, 제2제어신호(LVTTTL-CON)이 액티브될 때 상기 차동증폭부(21)에 상기 내부 전원공급전압(IVC)을 전달하는 제2스위칭부(P22)를 구비한다. 여기에서 상기 제1제어신호(SSTL-CON)는 상기 SSTL 인터페이스 조건에서 논리 '로우'로 액티브되며, 상기 제2제어신호(LVTTTL-CON)는 상기 LVTTTL 인터페이스 조건에서 논리 '로우'로 액티브된다.

상기 제1스위칭부(P21)는, 소오스에 상기 외부 전원공급전압(EVC)이 인가되고 게이트에 상기 제1제어신호(SSTL-CON)이 인가되며 드레인에 상기 차동증폭부(21)이 접속되는 피모스 트랜지스터로 구성된다. 또한 상기 제2스위칭부(P22)는, 소오스에 상기 내부 전원공급전압(IVC)이 인가되고 게이트에 상기 제2제어신호(LVTTTL-CON)이 인가되며 드레인에 상기 차동증폭부(21)이 접속되는 피모스 트랜지스터로 구성

된다. 특히 레이아웃에서 상기 제1 및 제2스위칭부(P21, P22), 즉 피모스 트랜지스터들의 웰 바이어스(Well Bias)로서 상기 외부 전원공급전압(EVC)가 사용된다. 그 이유를 설명하면 다음과 같다. 예컨대 상기 SSTL 인터페이스 조건에서 상기 제1제어신호(SSTL-CON)이 논리 '로우'로 액티브될 경우, 상기 피모스 트랜지스터들의 각 드레인에는 상기 외부 전원공급전압(EVC)이 인가된다. 그런데 상기 외부 전원공급전압(EVC) 레벨은 상기 내부 전원공급전압(IVC) 레벨보다 높으므로, 만일 상기 피모스 트랜지스터(P22)의 웰 바이어스(Well Bias)로서 상기 내부 전원공급전압(IVC)가 사용된다면 상기 피모스 트랜지스터(P22)의 드레인과 웰(도시되지 않았음) 사이에 순바이어스가 야기되어 상기 입력버퍼가 오동작되게 된다. 따라서 상기 SSTL 인터페이스 조건에서 상기 피모스 트랜지스터(P22)의 드레인과 웰 사이에 순바이어스가 야기되는 것을 방지하기 위해서, 상기 피모스 트랜지스터들(P21, P22)의 웰 바이어스(Well Bias)로서 상기 외부 전원공급전압(EVC)이 사용된다.

이하 도 2에 도시된 본 발명에 따른 입력버퍼의 동작을 설명하겠다.

먼저 반도체 메모리장치의 LVTTL 인터페이스 조건에서는, 상기 제1제어신호(SSTL-CON)은 논리 '하이'로 논 액티브되며, 상기 제2제어신호(LVTTL-CON)은 논리 '로우'로 액티브된다. 이에 따라 상기 제1스위칭부(P21)은 턴오프되고 상기 제2스위칭부(P22)는 턴온되어 상기 내부 전원공급전압(IVC)이 상기 차동증폭부(21)에 전달된다. 따라서 상기 LVTTL 인터페이스 조건에서는, 상기 차동증폭부(21)로 입력되는 상기 입력신호(INPUT) 및 기준전압(VREF)이 외부에서 인가되는 상기 외부 전원공급전압(EVC)가 변화더라도 일정한 레벨을 유지하고 또한 상기 차동증폭부(21)에 공급되는 상기 내부 전원공급전압(IVC)도 항상 일정한 레벨을 유지하므로, 상기 본 발명에 따른 입력버퍼의 출력신호(BIN)는 상기 외부 전원공급전압(EVC)의 변화에 대해 영향을 받지 않는다. 즉 상기 내부 전원공급전압(IVC)은 일정한 레벨을 유지하여 또한 상기 차동증폭부(21)의 각 엔모스 트랜지스터(N21, N22)의 게이트로 입력되는 상기 기준전압(VREF) 및 입력신호(INPUT)도 일정한 레벨을 유지하므로, 상기 차동증폭부(21)의 피모스 트랜지스터 쌍(P23, P24) 및 엔모스 트랜지스터 쌍(N21, N22)은 정상적으로 동작된다.

또한 반도체 메모리장치의 SSTL 인터페이스 조건에서는, 상기 제1제어신호(SSTL-CON)은 논리 '로우'로 액티브되며, 상기 제2제어신호(LVTTL-CON)은 논리 '하이'로 논액티브된다. 이에 따라 상기 제1스위칭부(P21)은 턴온되고 상기 제2스위칭부(P22)는 턴오프되어 상기 외부 전원공급전압(EVC)이 상기 차동증폭부(21)에 전달된다. 따라서 상기 SSTL 인터페이스 조건에서는, 상기 차동증폭부(21)로 입력되는 상기 입력신호(INPUT) 및 기준전압(VREF)이 상기 외부 전원공급전압(EVC)의 변화에 따라 증속적으로 변화하고 또한 상기 차동증폭부(21)에 공급되는 상기 외부 전원공급전압(EVC)도 변화하므로, 상기 본 발명에 따른 입력버퍼의 출력신호(BIN)는 상기 외부 전원공급전압(EVC)의 변화에 대해 영향을 받지 않는다. 즉 상기 외부 전원공급전압(EVC)이 변하고 또한 상기 입력신호(INPUT) 및 기준전압(VREF)은 상기 외부 전원공급전압(EVC)에 따라 함께 증속적으로 변화하므로, 상기 차동증폭부(21)의 피모스 트랜지스터 쌍(P23, P24) 및 엔모스 트랜지스터 쌍(N21, N22)은 정상적으로 동작된다. 예컨대, 상기 SSTL 인터페이스 조건에서 상기 외부 전원공급전압(EVC)이 증가하여 이에 따라 상기 입력신호(INPUT) 및 기준전압(VREF)이 증속적으로 증가할 경우, 상기 각 엔모스 트랜지스터(N21, N22)의 게이트와 소오스 사이의 전압도 증가한다. 또한 상기 각 피모스 트랜지스터(P23, P24)의 게이트와 소오스 사이의 전압도 상기 외부 전원공급전압(EVC)이 증가함에 따라 증가하게 된다. 따라서 상기 피모스 트랜지스터 쌍(P23, P24)과 상기 엔모스 트랜지스터 쌍(N21, N22)은 동일한 경향으로 동작함으로써 상기 출력신호(BIN)는 상기 외부 전원공급전압(EVC)의 변화에 대해 영향을 받지 않는다.

이상과 같이, 본 발명을 일실시예를 들어 한정적으로 설명하였으나 이에 한정되지 않으며 본 발명의 사상의 범위 내에서 당해 분야의 통상의 지식을 가진 자에 의해 본원 발명에 대한 각종 변형이 가능함은 자명하다.

발명의 효과

결론적으로 본 발명에 따른 입력버퍼에서는, 기준전압 및 입력신호가 외부 전원공급전압이 변화더라도 일정한 레벨을 유지하는 LVTTL 인터페이스 조건에서는 일정한 레벨을 갖는 내부 전원공급전압이 전원공급전압으로 사용되고, 기준전압 및 입력신호가 외부 전원공급전압에 따라 증속적으로 변화하는 SSTL 인터페이스 조건에서는 상기 외부 전원공급전압이 전원공급전압으로 사용된다. 따라서 본 발명에 따른 입력버퍼는 LVTTL 인터페이스 조건 및 SSTL 인터페이스 조건에서 모두 안정적으로 정상동작할 수 있는 장점이 있다.

(5) 청구의 범위

청구항 1. 기준전압과 외부에서 인가되는 입력신호의 차이를 증폭시키는 차동증폭부; 및

상기 기준전압 및 상기 입력신호가 외부 전원공급전압에 따라 증속적으로 변화하는 SSTL 인터페이스 조건에서는 상기 외부 전원공급전압을 선택하여 상기 차동증폭부에 전달하고, 상기 기준전압 및 상기 입력신호가 상기 외부 전원공급전압이 변화더라도 일정한 레벨을 유지하는 LVTTL 인터페이스 조건에서는 내부 전원공급전압을 선택하여 상기 차동증폭부에 전달하는 스위칭부를 구비하는 것을 특징으로 하는 반도체 메모리장치의 입력버퍼.

청구항 2. 제1항에 있어서, 상기 외부 전원공급전압은 상기 반도체 메모리장치 외부에서 인가되는 전압이고, 상기 내부 전원공급전압은 상기 반도체 메모리장치 내부의 내부 전원공급전압 발생기에서 상기 외부 전원공급전압을 입력으로 하여 발생하는 전압인 것을 특징으로 하는 반도체 메모리장치의 입력버퍼.

청구항 3. 제1항에 있어서, 상기 스위칭부는, 제1제어신호가 액티브될 때 상기 차동증폭부에 상기 외부 전원공급전압을 전달하는 제1스위칭부와, 제2제어신호가 액티브될 때 상기 차동증폭부에 상기 내부 전원공급전압을 전달하는 제2스위칭부를 구비하는 것을 특징으로 하는 반도체 메모리장치의 입력버퍼.

청구항 4. 제3항에 있어서, 상기 제1제어신호는 상기 SSTL 인터페이스 조건에서 액티브되는 것을 특징으로 하는 반도체 메모리장치의 입력버퍼.

청구항 5. 제3항에 있어서, 상기 제2제어신호는 상기 LVTTL 인터페이스 조건에서 액티브되는 것을 특징으로 하는 반도체 메모리장치의 입력버퍼.

청구항 6. 제3항에 있어서, 상기 제1스위칭부는, 소오스에 상기 외부 전원공급전압이 인가되고 게이트에 상기 제1제어신호가 인가되며 드레인에 상기 차동증폭부가 접속되는 피모스 트랜지스터인 것을 특징으로 하는 반도체 메모리장치의 입력버퍼.

청구항 7. 제6항에 있어서, 상기 피모스 트랜지스터의 웰 바이어스로서 상기 외부 전원공급전압이 사용되는 것을 특징으로 하는 반도체 메모리장치의 입력버퍼.

청구항 8. 제3항에 있어서, 상기 제2스위칭부는, 소오스에 상기 내부 전원공급전압이 인가되고 게이트에 상기 제2제어신호가 인가되며 드레인에 상기 차동증폭부가 접속되는 피모스 트랜지스터인 것을 특징으로 하는 반도체 메모리장치의 입력버퍼.

청구항 9. 제6항에 있어서, 상기 피모스 트랜지스터의 웰 바이어스로서 상기 외부 전원공급전압이 사용되는 것을 특징으로 하는 반도체 메모리장치의 입력버퍼.

청구항 10. 기준전압과 외부에서 인가되는 입력신호의 차이를 증폭시키는 차동증폭부; 및 제1전원공급전압 및 제2전원공급전압 중 어느 하나를 선택하여 상기 차동증폭부에 전달하는 스위칭부를 구비하는 것을 특징으로 하는 반도체 메모리장치의 입력버퍼.

청구항 11. 제10항에 있어서, 상기 제1전원공급전압은 상기 반도체 메모리장치 외부에서 인가되는 외부 전원공급전압이고, 상기 제2전원공급전압은 상기 반도체 메모리장치 내부의 내부 전원공급전압 발생기에서 상기 외부 전원공급전압을 입력으로 하여 발생하는 내부 전원공급전압인 것을 특징으로 하는 반도체 메모리장치의 입력버퍼.

청구항 12. 제10항에 있어서, 상기 스위칭부는, 제1제어신호가 액티브될 때 상기 차동증폭부에 상기 제1전원공급전압을 전달하는 제1스위칭부와, 제2제어신호가 액티브될 때 상기 차동증폭부에 상기 제2전원공급전압을 전달하는 제2스위칭부를 구비하는 것을 특징으로 하는 반도체 메모리장치의 입력버퍼.

청구항 13. 제12항에 있어서, 상기 제1제어신호는 SSTL 인터페이스 조건에서 액티브되는 것을 특징으로 하는 반도체 메모리장치의 입력버퍼.

청구항 14. 제12항에 있어서, 상기 제2제어신호는 LVTTL 인터페이스 조건에서 액티브되는 것을 특징으로 하는 반도체 메모리장치의 입력버퍼.

청구항 15. 제12항에 있어서, 상기 제1스위칭부는, 소오스에 상기 제1전원공급전압이 인가되고 게이트에 상기 제1제어신호가 인가되며 드레인에 상기 차동증폭부가 접속되는 피모스 트랜지스터인 것을 특징으로 하는 반도체 메모리장치의 입력버퍼.

청구항 16. 제12항에 있어서, 상기 제2스위칭부는, 소오스에 상기 제2전원공급전압이 인가되고 게이트에 상기 제2제어신호가 인가되며 드레인에 상기 차동증폭부가 접속되는 피모스 트랜지스터인 것을 특징으로 하는 반도체 메모리장치의 입력버퍼.

청구항 17. 제12항에 있어서, 상기 제1전원공급전압은 상기 반도체 메모리장치 외부에서 인가되는 외부 전원공급전압이고, 상기 제2전원공급전압은 상기 반도체 메모리장치 내부의 내부 전원공급전압 발생기에서 상기 외부 전원공급전압을 입력으로 하여 발생하는 내부 전원공급전압인 것을 특징으로 하는 반도체 메모리장치의 입력버퍼.

도면

도면1



